

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 2 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 1 3 2 5 5
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 1 3 2 5 5]

出 願 人 東芝松下ディスプレイテクノロジー株式会社
Applicant(s):

2 0 0 3 年 7 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 13922501

【提出日】 平成14年10月28日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/36

【発明の名称】 表示装置

【請求項の数】 7

【発明者】

【住所又は居所】 東京都港区港南 4 丁目 1 番 8 号 東芝松下ディスプレイ
テクノロジー株式会社内

【氏名】 林 宏 宜

【発明者】

【住所又は居所】 東京都港区港南 4 丁目 1 番 8 号 東芝松下ディスプレイ
テクノロジー株式会社内

【氏名】 中 村 卓

【特許出願人】

【識別番号】 302020207

【住所又は居所】 東京都港区港南 4 丁目 1 番 8 号

【氏名又は名称】 東芝松下ディスプレイテクノロジー株式会社

【代理人】

【識別番号】 100075812

【弁理士】

【氏名又は名称】 吉 武 賢 次

【選任した代理人】

【識別番号】 100088889

【弁理士】

【氏名又は名称】 橋 谷 英 俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】

縦横に列設される信号線及び走査線の各交点付近に形成される表示素子と、
前記表示素子のそれぞれに対応して少なくとも一個ずつ設けられ、それぞれが
指定された範囲の入射光を受光して電気信号に変換する撮像部と、
前記撮像部で変換された電気信号に応じた電荷を蓄積する電荷蓄積部と、
前記電荷蓄積部に蓄積された電荷に応じた信号を一時的に格納する撮像結果格
納部と、
制御信号線の論理に応じて、前記撮像結果格納部に格納された信号を出力する
か否かを切換制御する出力切換制御部と、を備え、
前記制御信号線の少なくとも一部は、前記撮像結果格納部の電源線と上下に重
ね合わされるように配置されることを特徴とする表示装置。

【請求項 2】

前記撮像結果格納部は、
前記電荷蓄積部に蓄積された電荷をデジタル信号に変換する A/D 変換部と、
前記 A/D 変換部で変換された前記デジタル信号を増幅する増幅器と、を有し
、
前記制御信号線の少なくとも一部は、前記増幅器及び前記 A/D 変換部の少な
くとも一方の電源線と上下に重ねあわされるように配置されることを特徴とする
請求項 1 に記載の表示装置。

【請求項 3】

縦横に列設される信号線及び走査線の各交点付近に形成される表示素子と、
前記表示素子のそれぞれに対応して少なくとも一個ずつ設けられ、それぞれが
指定された範囲の入射光を受光して電気信号に変換する撮像部と、
前記撮像部で変換された電気信号に応じた電荷を蓄積する電荷蓄積部と、
前記電荷蓄積部に蓄積された電荷に応じた信号を一時的に格納する撮像結果格
納部と、

制御信号線の論理に応じて、前記撮像結果格納部に格納された信号を出力するか否かを切換制御する出力切換制御部と、を備え、

前記撮像結果格納部の電源線の抵抗を前記出力切換制御部の出力線の抵抗よりも低くすることを特徴とする表示装置。

【請求項 4】

前記出力切換制御部の出力線を多層構造にすることにより、前記撮像結果格納部の電源線の抵抗を前記出力切換制御部の出力線の抵抗よりも低くすることを特徴とする請求項 3 に記載の表示装置。

【請求項 5】

前記撮像結果格納部の電源線を前記出力切換制御部の出力線よりも太くすることにより、前記撮像結果格納部の電源線の抵抗を前記出力切換制御部の出力線の抵抗よりも低くすることを特徴とする請求項 3 に記載の表示装置。

【請求項 6】

前記撮像結果格納部は、

前記電荷蓄積部に蓄積された電荷をデジタル信号に変換する A/D 変換部と、

前記 A/D 変換部で変換された前記デジタル信号を増幅する増幅器と、を有し

、
前記 A/D 変換部及び前記増幅器の少なくとも一方の電源線の抵抗を前記出力切換制御部の出力線の抵抗よりも低くすることを特徴とする請求項 3 及至 5 のいずれかに記載の表示装置。

【請求項 7】

前記出力切換制御部は、前記制御信号線の論理に応じて、前記増幅器で増幅されたデジタル信号に対応する信号線に供給するか否かを切換制御することを特徴とする請求項 2 または 6 に記載の表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、画像取込み機能を備えた表示装置に関する。

【0 0 0 2】

【従来の技術】

液晶表示装置は、信号線、走査線及び画素 T F T が列設されたアレイ基板と、信号線及び走査線を駆動する駆動回路とを備えている。最近の集積回路技術の進歩発展により、駆動回路の一部をアレイ基板上に形成するプロセス技術が実用化され、液晶表示装置全体を軽薄短小化できるようになった。これにより、液晶表示装置は現在、携帯電話やノート型コンピュータなどの各種の携帯機器の表示装置として幅広く利用されている。

【0 0 0 3】

ところで、アレイ基板上に、画像取込みを行う密着型エリアセンサを配置した画像取込み機能付きの表示装置が提案されている（例えば、特許文献 1，2 を参照）。

【0 0 0 4】

この種の画像取込み機能を備えた従来の表示装置は、センサに接続されたキャパシタの電荷量をセンサでの受光量に応じて変化させるようにし、キャパシタの両端電圧を検出することで、画像取込みを行っている。

【0 0 0 5】**【特許文献 1】**

特開 2 0 0 1 - 2 9 2 2 7 6 号公報

【特許文献 2】

特開 2 0 0 1 - 3 3 9 6 4 0 号公報

【0 0 0 6】**【発明が解決しようとする課題】**

センサの画像取込み結果であるキャパシタの蓄積電荷は、バッファを介して、1 水平ラインごとに、信号線または専用の検出線を介して、ロジック I C に送られて画像処理が行われる。

【0 0 0 7】

しかしながら、画像取込み結果を、1 水平ラインごとに同時に信号線または検出線に書き込むようにすると、バッファの電源線 J V D D の電圧降下が大きくなり、その結果、信号線や検出線の電圧レベルが低くなって、画像取込み結果を正確に

検出できなくなるおそれがある。

【0008】

図9は画像取込み結果を1水平ラインごとに同時に信号線に書き込む際のバッファの電源線JVDDの電圧降下 ΔV を示す図である。図示のように、信号線に書き込む際に急激に電圧降下を起こす。このような急激な電圧降下が起こると、信号線上の信号レベルも低くなり、ハイとローの判別が難しくなり、ノイズ成分の多い画像取込み結果が得られる。

【0009】

本発明は、このような点に鑑みてなされたものであり、その目的は、信頼性の高い画像取込みを行うことが可能な表示装置を提供することにある。

【0010】

【課題を解決するための手段】

上述した課題を解決するために、本発明は、縦横に列設される信号線及び走査線の各交点付近に形成される表示素子と、前記表示素子のそれぞれに対応して少なくとも一個ずつ設けられ、それぞれが指定された範囲の入射光を受光して電気信号に変換する撮像部と、前記撮像部で変換された電気信号に応じた電荷を蓄積する電荷蓄積部と、前記電荷蓄積部に蓄積された電荷に応じた信号を一時的に格納する撮像結果格納部と、制御信号線の論理に応じて、前記撮像結果格納部に格納された信号を出力するか否かを切換制御する出力切換制御部と、を備え、前記制御信号線の少なくとも一部は、前記撮像結果格納部の電源線と上下に重ね合わされるように配置される。

【0011】

また、本発明は、縦横に列設される信号線及び走査線の各交点付近に形成される表示素子と、前記表示素子のそれぞれに対応して少なくとも一個ずつ設けられ、それぞれが指定された範囲の入射光を受光して電気信号に変換する撮像部と、前記撮像部で変換された電気信号に応じた電荷を蓄積する電荷蓄積部と、前記電荷蓄積部に蓄積された電荷に応じた信号を一時的に格納する撮像結果格納部と、制御信号線の論理に応じて、前記撮像結果格納部に格納された信号を出力するか否かを切換制御する出力切換制御部と、を備え、前記撮像結果格納部の電源線の

抵抗を前記出力切換制御部の出力線の抵抗よりも低くする。

【 0 0 1 2 】

【発明の実施の形態】

（第 1 の実施形態）

図 1 は本発明に係る表示装置の第 1 の実施形態の概略構成図であり、画像取込み機能を有することを特徴としている。図 1 の表示装置は、ガラス基板 1 と半導体基板 2 とで構成されている。

【 0 0 1 3 】

ガラス基板 1 上には、信号線及び走査線が列設される画素アレイ部 3 と、信号線を駆動する信号線駆動回路 4 と、走査線を駆動する走査線駆動回路 5 と、画像を取り込んで出力する検出回路&出力回路 6 とが設けられている。ガラス基板 1 上の各回路は、例えばポリシリコン T F T により形成されている。

【 0 0 1 4 】

信号線駆動回路 4 は、デジタル画素データを表示素子の駆動に適したアナログ電圧に変換する D/A 変換回路を含む。D/A 変換回路は公知のものをを用いる。

【 0 0 1 5 】

半導体基板 2 上には、表示制御及び画像取込み制御を行うロジック I C 7 が実装されている。ガラス基板 1 と半導体基板 2 とは、例えば F P C を介して各種信号の送受を行う。

【 0 0 1 6 】

図 2 は画素アレイ部 3 の一部を詳細に示したブロック図であり、図示の点線で囲んだ各部分がそれぞれ 1 画素である。各画素は、画素 T F T 1 1 と、画素 T F T 1 1 の一端に接続される液晶容量 C 1 及び補助容量 C 2 と、画像取込み用のセンサ 1 2 とを有する。センサ 1 2 は、図 2 では不図示の電源線及び制御線に接続されている。

【 0 0 1 7 】

なお、図 2 では、1 画素内に 1 つの画素 T F T 1 1 のみが図示されているが、実際には、1 画素内に赤、緑及び青用の 3 つの画素 T F T 1 1 があり、各画素 T F T 1 1 がそれぞれセンサ 1 2 を有する。

【0018】

図3は1画素分の構成を詳細に示した回路図である。1画素には、画素TF T 1 1のそれぞれに対応して、フォトダイオードからなるセンサ1 2が1つずつ設けられている。各センサ1 2のアノード端子は電源線JVSSに接続され、カソード端子は制御線L 1に接続されている。これらは、すべてが同一基板（アレイ基板）上に形成されていてもよいし、一部を対向基板に設けても良い。例えば画素TF T 1 1は対向基板に配置しても良い。この場合、対向基板側にも信号線および走査線を設ける。画素TF T等とセンサ回路等を同一基板上に一体化する場合は、製造コストを低減することができる。画素TF T等とセンサ回路等を別基板上に一体化する場合は、開口率を大きくしてバックライトの消費電力を低減することができる。（例えば対向基板側の画素TF Tを、アレイ基板側のセンサやキャパシタ素子と対向配置するようにする。）

この他、各画素は、電源線JVSSと制御線L 1との間に接続されるキャパシタC 3と、キャパシタC 3の蓄積電荷に応じた2値データを格納するSRAM 1 3と、SRAM 1 3への書込み制御を行うトランジスタQ 3と、SRAM 1 3及びキャパシタC 3を初期化するリセット用トランジスタQ 4と、SRAM 1 3の出力を増幅する増幅器（AMP）1 4と、増幅器1 4の出力を信号線S i gに供給するか否かを制御信号線O U Tの論理により切換制御するトランジスタQ 5とを有する。

【0019】

SRAM 1 3は、直列接続された2つのインバータI V 1, I V 2と、後段のインバータI V 2の出力端子と前段のインバータI V 1の入力端子との間に接続されるトランジスタQ 6とを有する。

【0020】

信号S F Bがハイレベルのときに、トランジスタQ 6はオンし、2つのインバータI V 1, I V 2は保持動作を行う。制御信号線OUT(m)がハイレベルのときに、保持しているデータが信号線S i gに出力される。

【0021】

本実施形態の表示装置は、通常の表示動作を行うこともできるし、スキャナと同様の画像取込みを行うこともできる。通常の表示動作を行う場合は、トランジ

スタ Q 3 はオフ状態に設定され、SRAM 1 3 には有効なデータは格納されない。この場合、信号線 S i g には、信号線駆動回路 4 からの信号線電圧が供給され、この信号線電圧に応じた表示が行われる。

【 0 0 2 2 】

一方、画像取込みを行う場合は、図 4 に示すようにアレイ基板 2 1 の上面側に画像取込み対象物（例えば、紙面） 2 2 を配置し、バックライト 2 3 からの光を対向基板 2 4 とアレイ基板 2 1 を介して紙面 2 2 に照射する。紙面 2 2 で反射された光はアレイ基板 2 1 上のセンサ 1 2 で受光され、画像取込みが行われる。詳しくは、光がセンサ 1 2 に当たっている画素と、光がセンサ 1 2 に当たっていない画素とで、キャパシタ C 3 の電位に差が生じる。キャパシタ C 3 の電位を SRAM 1 3 で保持する。

【 0 0 2 3 】

図 5 は図 3 の回路図に対応する平面レイアウト図である。図 5 の点線 2 5 で示すように、本実施形態は、制御信号線 O U T (m) の少なくとも一部を、SRAM 1 3 及び増幅器 1 4 の電源線 J V D D と上下に重ね合わせて配置している。このように配置することにより、図 5 の点線 2 5 で示すように、SRAM 1 3 及び増幅器 1 4 の電源線 J V D D と制御信号線 O U T (m) とが容量カップリングを起こし、制御信号線 O U T (m) の配線容量が増える。その結果、トランジスタ Q 5 がゆっくりとオンし、信号線 S i g の書き込み電流もゆっくりと変化する。したがって、SRAM 1 3 及び増幅器 1 4 の電源線 J V D D の電圧降下を防止でき、画像取込みを行ったデータが信号線 S i g 上で消失するおそれがなくなる。画面の端の給電端に近い部分では画像取り込み結果を正常に信号線に出力できても、画面中央などの給電端から遠い部分での画像取り込み結果を正常に信号線に出力できないというような問題が防止することができる。

【 0 0 2 4 】

制御信号線 O U T (m) の少なくとも一部を、SRAM 1 3 及び増幅器 1 4 の電源線 J V D D と上下に重ね合わせて配置する以外に、制御信号線 O U T (m) と電源線 J V D D との間に明示的にキャパシタを接続することも考えられるが、このようにすると、キャパシタを新たに設ける分、開口率が低下し、表示品質が劣ってしまう。本実

施形態の場合、このようなキャパシタを明示的に設ける必要がないため、開口率が低下するおそれなくなる。

【 0 0 2 5 】

このように、第 1 の実施形態の場合、制御信号線 O U T (m) の少なくとも一部を、SRAM 1 3 及び増幅器 1 4 の電源線 J V D D と上下に重ね合わせて配置するため、SRAM 1 3 及び増幅器 1 4 の電源線 J V D D の電圧降下を防止でき、画像取込みを行ったデータが信号線 S i g 上で消失するおそれなくなる。

【 0 0 2 6 】

(第 2 の実施形態)

第 2 の実施形態は、SRAM 1 3 及び増幅器 1 4 の電源線 J V D D の抵抗を信号線 S i g の抵抗よりも小さくするものである。

【 0 0 2 7 】

本発明に係る表示装置の第 2 の実施形態は、図 3 と同様の回路で構成されている。仮に、SRAM 1 3 及び増幅器 1 4 の電源線 J V D D の抵抗が信号線 S i g の抵抗よりも高いとすると、信号線 S i g 上での電圧降下よりも電源線 J V D D 上での電圧降下が大きくなり、画像取込みデータが消失するおそれがある。

【 0 0 2 8 】

そこで、本実施形態は、SRAM 1 3 及び増幅器 1 4 の電源線 J V D D の抵抗を信号線 S i g の抵抗よりも低くしている。

【 0 0 2 9 】

図 6 は表示装置の第 2 の実施形態における 1 画素分の平面レイアウト図である。図示のように、電源線 J V D D の線幅を信号線 S i g の線幅よりも太くすることにより、電源線 J V D D の抵抗を信号線 S i g の抵抗よりも低くすることが出来る。

【 0 0 3 0 】

あるいは、信号線 S i g を多層構造にしてもよい。多層構造にすると、その分抵抗が大きくなるため、特にパターンの太さを変えなくても、電源線 J V D D よりも信号線 S i g の抵抗を大きくすることができる。

【 0 0 3 1 】

電源線 J V D D の抵抗が信号線 S i g の抵抗よりも低いと、1 水平ラインの画像取

込みデータを同時に信号線 S i g に書き込んでも、信号線 S i g を流れる電流が急激に増えるおそれはなく、電源線JVDDの電圧も急激には低下しなくなる。したがって、電源線JVDDの電圧降下が抑制され、データの消失を防止できる。

【0 0 3 2】

このように、第 2 の実施形態では、電源線JVDDの線幅を信号線 S i g の線幅よりも太くするため、電源線JVDDの抵抗を信号線 S i g の抵抗よりも低くでき、1 水平ラインの画像取込みデータを同時に信号線 S i g に書き込んでも、信号線 S i g 上の信号が消失するおそれがなくなる。

【0 0 3 3】

(その他の実施形態)

上述した第 1 及び第 2 の実施形態では、1 画素にセンサを一つずつ設ける例を説明したが、2 つ以上のセンサを 1 画素に設けてもよい。センサの数を増やすほど、画像取込みの解像度を上げることができる。

【0 0 3 4】

図 7 は 1 画素に 2 つのセンサを設ける例を示すブロック図、図 8 は図 7 の一部を詳細に示す回路図である。

【0 0 3 5】

図 3 に示すように、センサ 1 2 a , 1 2 b はそれぞれフォトダイオード D 1 , D 2 とセンサ切替用トランジスタ Q 7 , Q 8 とを有する。フォトダイオード D 1 , D 2 は、受光した光の光量に応じた電気信号を出力する。センサ切替用トランジスタ Q 7 , Q 8 は、1 画素内の複数のフォトダイオード D 1 , D 2 のいずれか一つを交互に選択する。

【0 0 3 6】

各画素は、2 つのセンサ 1 2 a , 1 2 b と、同一画素内の 2 つのセンサ 1 2 a , 1 2 b で共用されるキャパシタ C 3 と、キャパシタ C 3 の蓄積電荷に応じた 2 値データを格納するバッファ 1 3 と、バッファ 1 3 への書込み制御を行うトランジスタ Q 3 と、バッファ 1 3 及びキャパシタ C 3 を初期化するリセット用トランジスタ Q 4 とを有する。

【0 0 3 7】

バッファ 1 3 は、スタティック R A M (SRAM 1 3) で構成され、図 3 と同様に、直列接続された 2 つのインバータ I V 1, I V 2 と、後段のインバータ I V 2 の出力端子と前段のインバータ I V 1 の入力端子との間に配置されるトランジスタ Q 6 と、後段のインバータの出力端子に接続される出力用トランジスタ Q 5 とを有する。

【 0 0 3 8 】

図 8 のような構成の表示装置においても、第 2 の実施形態と同様に、バッファの電源線 J V D D の抵抗を信号線 S i g の抵抗よりも小さくすることにより、画像取込みデータの消失を確実に防止できる。

【 0 0 3 9 】

上述した実施形態では、液晶表示装置に画像取込み機能を設ける例を説明したが、本発明は、E L (Electroluminescence) 素子に画像取込み機能を持たせる場合にも同様に適用可能である。

【 0 0 4 0 】

なお、上記 3 つの実施形態において、増幅器 14 は省略し、増幅器 14 の入出力間を短絡するような構成も可能である。この場合は、SRAM の I V 1 が増幅器の役割をする。また、上記 3 つの実施形態において、電荷とは、極性を限定するものではない。

【 0 0 4 1 】

【発明の効果】

以上詳細に説明したように、本発明によれば、制御信号線の少なくとも一部が、撮像結果格納部の電源線と上下に重ね合わされるように配置されるため、制御信号線と電源線とが容量カップリングを起こし、電源線の電圧降下を抑制できることから、出力切換制御部の出力線上の信号消失を確実に防止できる。

【図面の簡単な説明】

【図 1】

本発明に係る表示装置の第 1 の実施形態の概略構成図。

【図 2】

画素アレイ部 3 の一部を詳細に示したブロック図。

【図 3】

1 画素分の構成を詳細に示した回路図。

【図 4】

画像取込みの原理を説明する図。

【図 5】

図 3 の回路図に対応する平面レイアウト図。

【図 6】

表示装置の第 2 の実施形態における 1 画素分の平面レイアウト図。

【図 7】

1 画素に 2 つのセンサを設ける例を示すブロック図。

【図 8】

図 7 の一部を詳細に示す回路図。

【図 9】

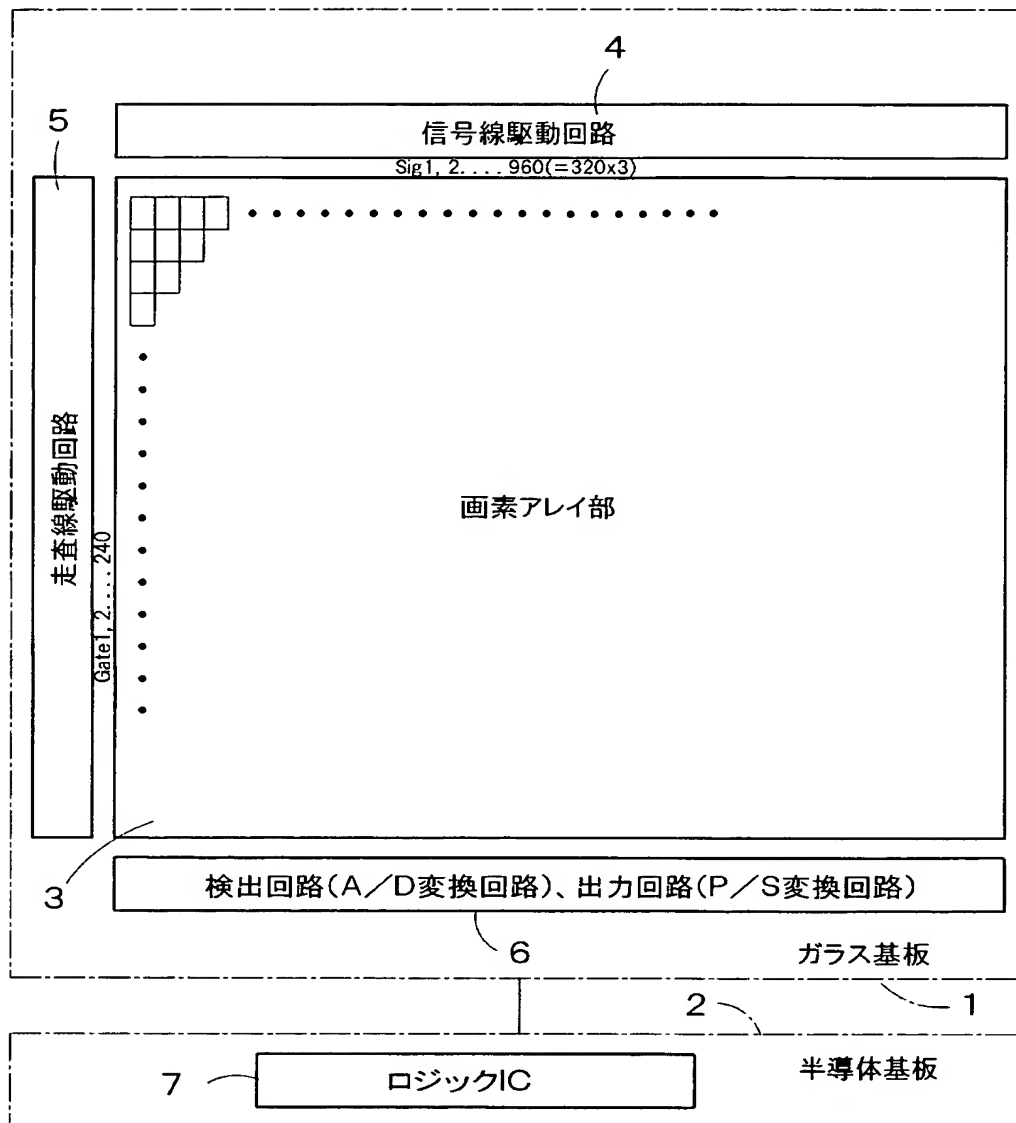
電源線の電圧降下を示す図。

【符号の説明】

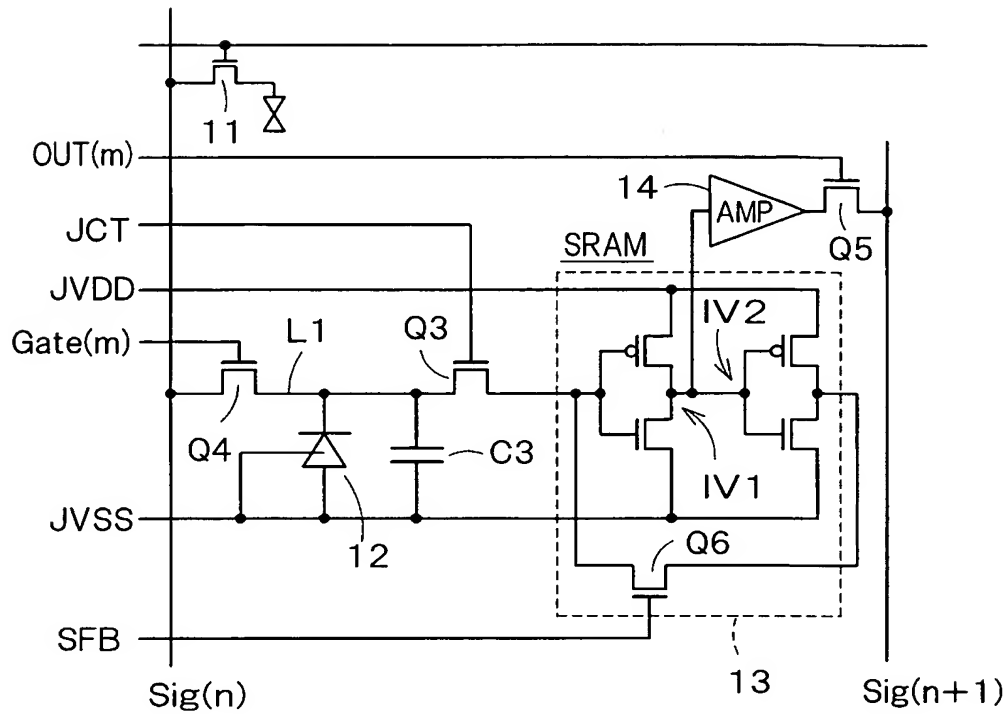
- 1 ガラス基板
- 2 半導体基板
- 3 画素アレイ部
- 4 信号線駆動回路
- 5 走査線駆動回路
- 6 検出回路&出力回路
- 7 ロジック I C
- 1 1 画素 T F T
- 1 2 , 1 2 a , 1 2 b センサ

【書類名】 図面

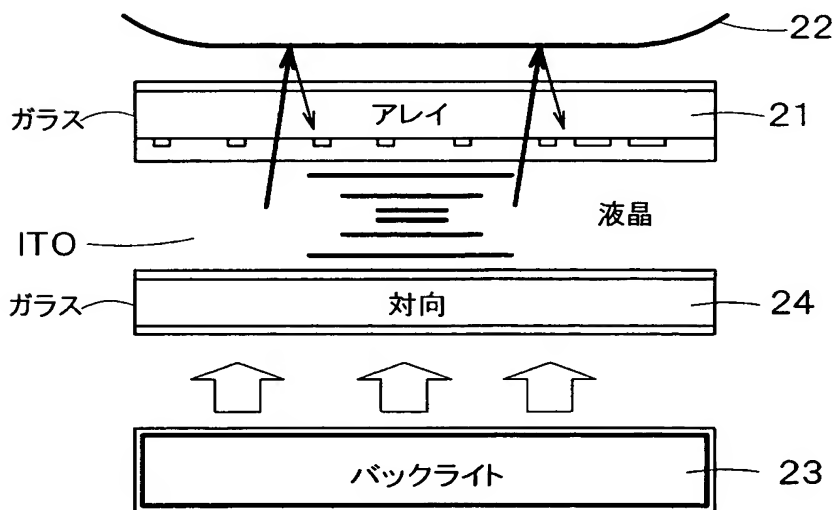
【図 1】



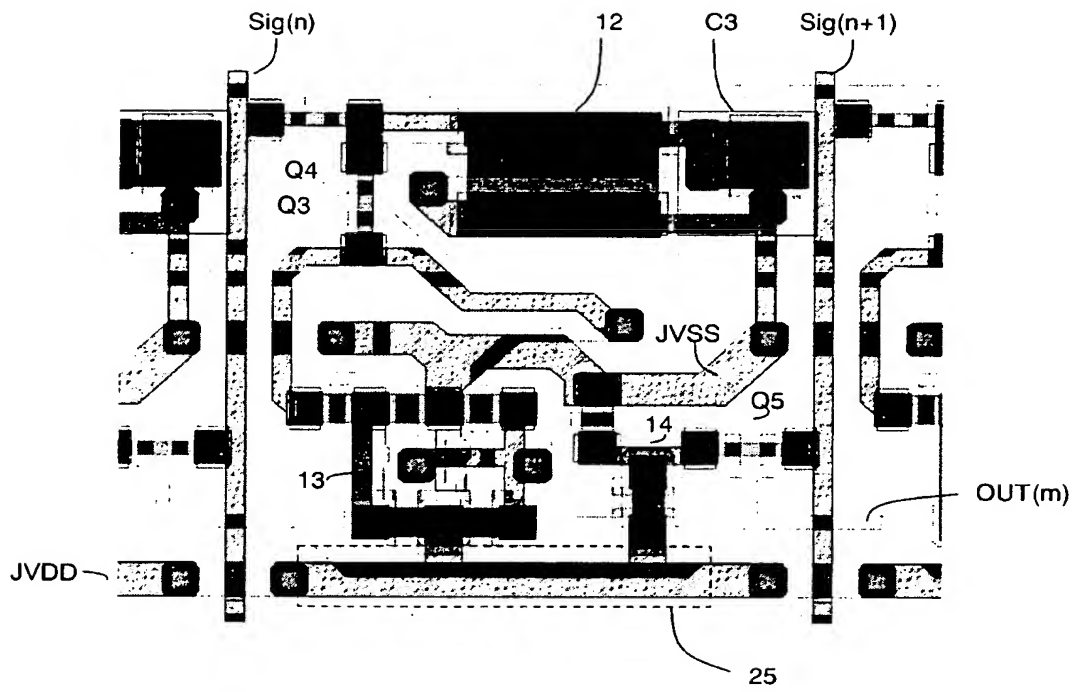
【図 3】



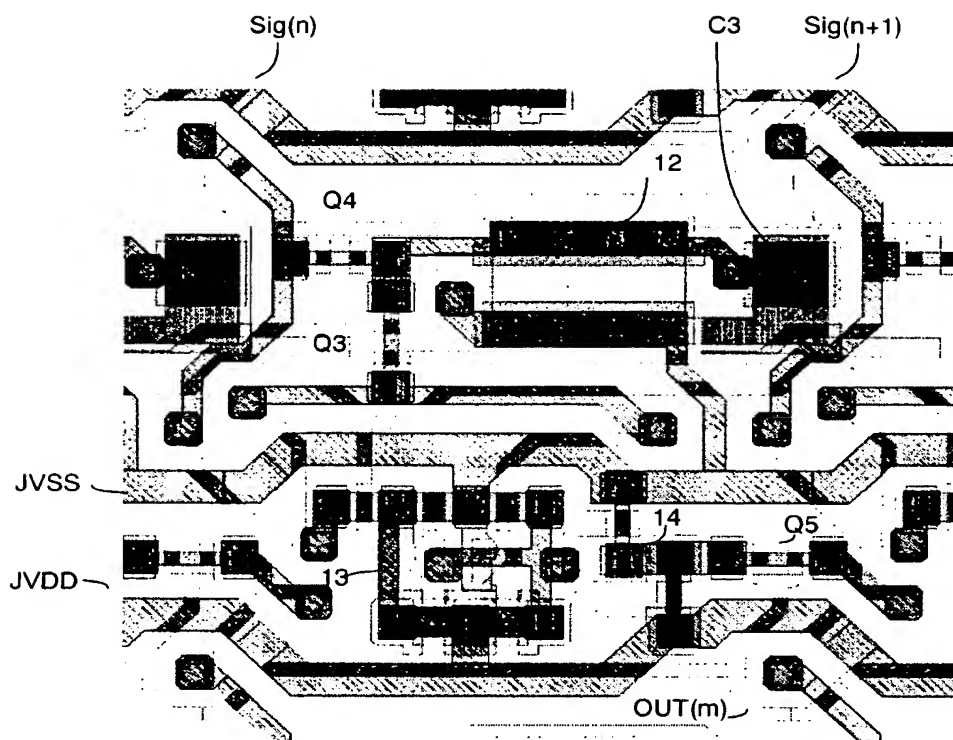
【図 4】



【図 5】

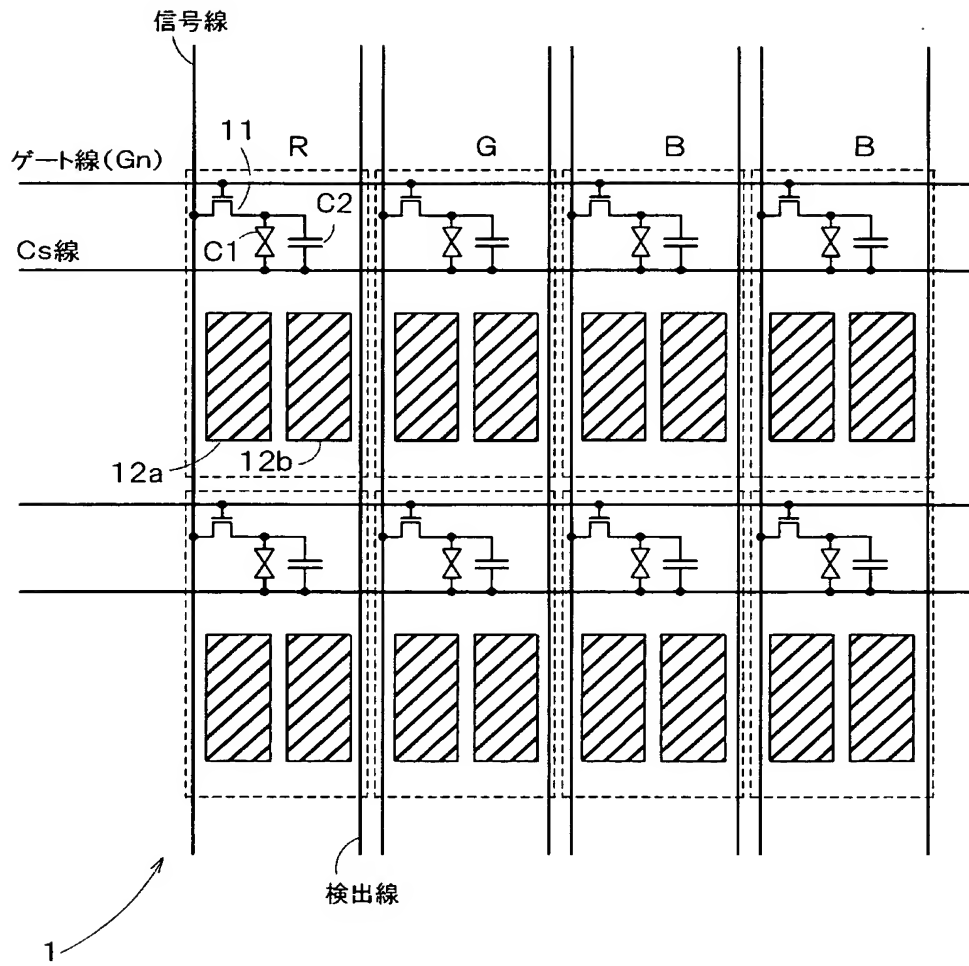


【図 6】

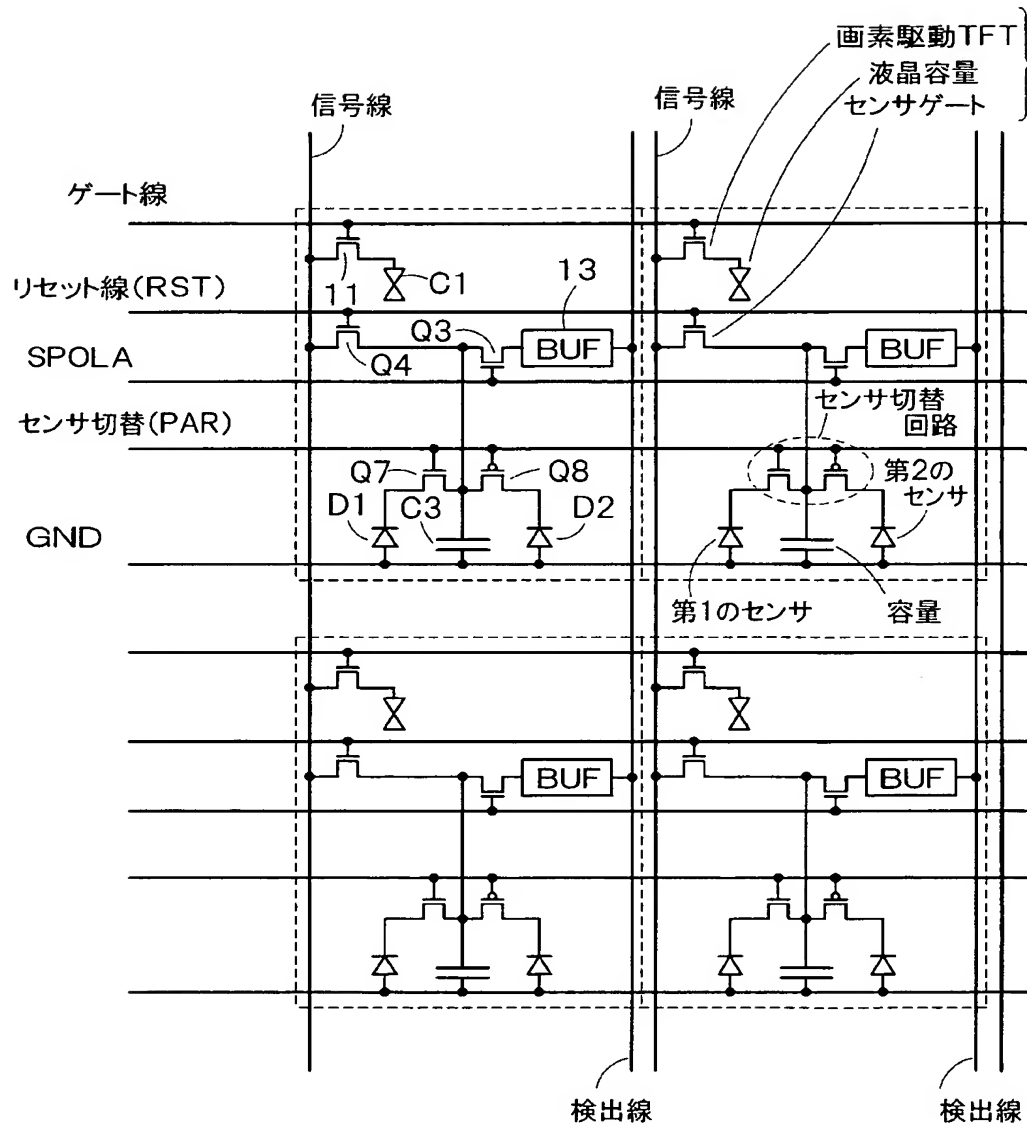


JVDD, JVSS...第1のメタルのみでつながり変えなく引き回される
 sig(n)...第1のメタルと第2のメタルを交互につなぎ変え引き回される

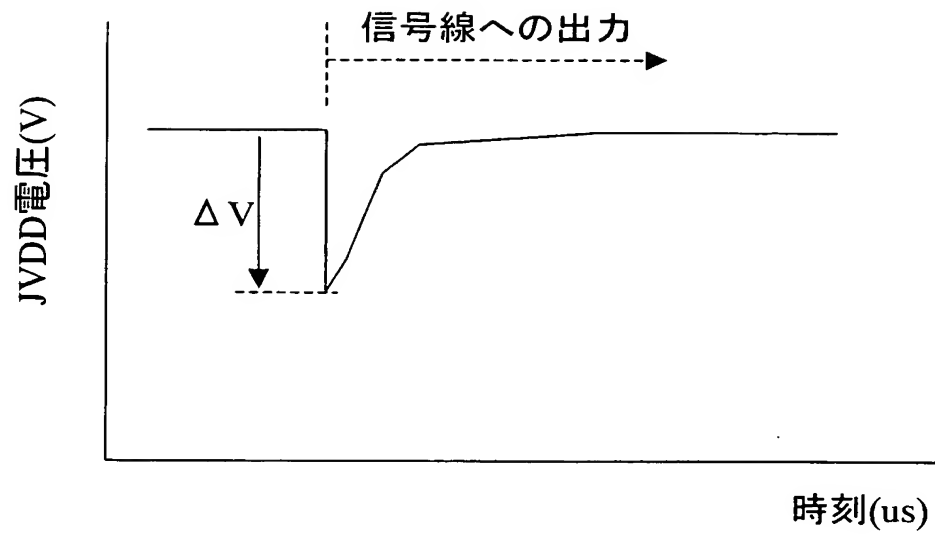
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 信頼性の高い画像取込みを行うことが可能な表示装置を提供する。

【解決手段】 本発明に係る表示装置の各画素は、電源線JVSSと制御線L 1との間に接続されるキャパシタC 3と、キャパシタC 3の蓄積電荷に応じた2値データを格納するSRAM 1 3と、SRAM 1 3への書込み制御を行うトランジスタQ 3と、SRAM 1 3及びキャパシタC 3を初期化するリセット用トランジスタQ 4と、SRAM 1 3の出力を増幅する増幅器（AMP）1 4と、増幅器1 4の出力を信号線S i gに供給するか否かを制御信号線O U Tの論理により切換制御するトランジスタQ 5とを有する。制御信号線O U T (m)の少なくとも一部を、SRAM 1 3及び増幅器1 4の電源線JVDDと上下に重ね合わせて配置するため、SRAM 1 3及び増幅器1 4の電源線JVDDの電圧降下を防止でき、画像取込みを行ったデータが信号線S i g上で消失するおそれがなくなる。

【選択図】 図 1

特願 2 0 0 2 - 3 1 3 2 5 5

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 2 0 2 0 7]

1. 変更年月日

2 0 0 2 年 4 月 5 日

[変更理由]

新規登録

住 所

東京都港区港南 4 - 1 - 8

氏 名

東芝松下ディスプレイテクノロジー株式会社